

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

013220906      **\*\*Image available\*\***

WPI Acc No: 2000-392780/200034

XRAM Acc No: C00-119261

XRPX Acc No: N00-294676

**Insulating film formation method for electron emitting element circuit board involves baking circuit board after discharging insulating film material-containing sol on it**

Patent Assignee: CANON KK (CANO )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000133649	A	20000512	JP 98318324	A	19981022	200034 B

Priority Applications (No Type Date): JP 98318324 A 19981022

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000133649	A		6 H01L-021/316	

Abstract (Basic): JP 2000133649 A

NOVELTY - The circuit board (1) is coated with surface improvement agent such as silane coupling agent. Then insulating film (2) material-containing sol is applied to board by inkjet apparatus (3) and the board is baked.

USE - For forming insulating film on electron emitting element circuit board.

ADVANTAGE - Inkjet apparatus is used for discharging insulating film, therefore precise and favorable insulating film is provided with few process and the insulating film formation area and formation pattern are changed easily. Modification of circuit board is performed before discharging the insulating film material, therefore step coverage is favorable for wiring formation in upper part.

DESCRIPTION OF DRAWING(S) - The figure shows model diagram of insulating layer formation on circuit board and top view of circuit board with insulating layer.

Circuit board (1)

Insulating film (2)

Inkjet apparatus (3)

pp; 6 DwgNo 1/5

Title Terms: INSULATE; FILM; FORMATION; METHOD; ELECTRON; EMIT; ELEMENT;

CIRCUIT; BOARD; BAKE; CIRCUIT; BOARD; AFTER; DISCHARGE; INSULATE; FILM;

MATERIAL; CONTAIN; SOL

Derwent Class: L03; U11; V05

International Patent Class (Main): H01L-021/316

**International Patent Class (Additional): H01J-009/02**  
**File Segment: CPI; EPI**

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

06547920      **\*\*Image available\*\***

**FORMATION OF INSULATING FILM ON ELEMENT CIRCUIT SUBSTRATE**

PUB. NO.:      **2000-133649** [JP 2000133649 A]  
PUBLISHED:      May 12, 2000 (20000512)  
INVENTOR(s):   KAMEYAMA MAKOTO  
APPLICANT(s):   CANON INC  
APPL. NO.:      10-318324 [JP 98318324]  
FILED:           October 22, 1998 (19981022)  
INTL CLASS:     H01L-021/316; H01J-009/02

**ABSTRACT**

**PROBLEM TO BE SOLVED:** To provide the manufacturing method of an insulating film, which can readily form the insulating film having the excellent insulating characteristics on a substrate with less process number.

**SOLUTION:** The forming method of an insulating film 2 contains the process which discharges the sol containing the material of an insulating film on a substrate 1 by an ink jetting device 3, and the process for baking this sol- attached substrate. Before the discharging process, the process which applies a surface-quality improving film on the substrate 1 is included. In this case, by providing a surface-quality improving film between the substrate 1 and an insulating film 2, a contact angle  $\theta$  between the end part of the insulating film and the substrate can be made small.

**COPYRIGHT:** (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-133649

(P 2 0 0 0 - 1 3 3 6 4 9 A)

(43) 公開日 平成12年5月12日(2000.5.12)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テームコード (参考)
H01L 21/316		H01L 21/316	C 5F058
H01J 9/02		H01J 9/02	E

審査請求 未請求 請求項の数 7 F D (全 6 頁)

(21) 出願番号 特願平10-318324

(22) 出願日 平成10年10月22日(1998.10.22)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 亀山 誠

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100086287

弁理士 伊東 哲也 (外1名)

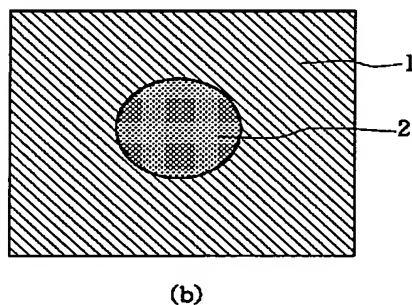
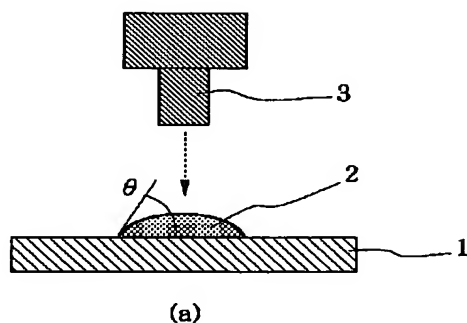
Fターム(参考) 5F058 BB07 BC02 BC05 BE10 BH01  
BJ02

(54) 【発明の名称】 素子回路基板上の絶縁膜の形成方法

(57) 【要約】

【課題】 絶縁特性の良好な絶縁膜を基板上に少ない工程数で容易に形成できる、絶縁膜の製造方法を提供する。

【解決手段】 (1) 絶縁膜材料含有ゾルをインクジェット3により基板1上に吐出する工程、及び(2) このゾル付着基板を焼成する工程を含む絶縁膜2の形成方法。基板と絶縁膜との間には表面改質膜を介在させることにより、絶縁膜の端部と基板との接触角 $\theta$ を小さく出来る。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項 1】 ソルゲル法により基板上に絶縁膜を形成する方法であって、(1) 絶縁膜材料含有ゾルをインクジェットにより基板上に吐出する工程、及び(2) 該ゾルが付着した基板を焼成して、基板上に絶縁膜を形成する工程を含むことを特徴とする。

【請求項 2】 前記吐出工程(1)の前に、基板上に表面改質剤を塗布する工程(0)を含み、次に前記工程(1)において前記ゾルを該表面改質した基板上に吐出することを特徴とする、請求項 1 記載の絶縁膜形成方法。

【請求項 3】 前記焼成工程(2)において、まず仮焼成を行い、次に該仮焼成の温度より高い温度で本焼成を行う請求項 1 または 2 記載の絶縁膜形成方法。

【請求項 4】 前記ゾルの粘度が 1. 0 ~ 1 0. 0 c p s の範囲に調整されている請求項 1 または 2 記載の絶縁膜形成方法。

【請求項 5】 前記表面改質剤がシランカップリング剤である請求項 2 記載の絶縁膜形成方法。

【請求項 6】 前記絶縁膜の端部と前記基板との接触角が 9 0 度未満に制御される請求項 1 ~ 5 いずれかに記載の絶縁膜形成方法。

【請求項 7】 前記絶縁膜を、表面伝導型電子放出素子用または該素子を用いた画像形成装置用の層間絶縁膜として形成する請求項 1 ~ 6 いずれかに記載の絶縁膜形成方法。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【発明の属する技術分野】本発明は、電気素子回路基板上、石英ガラス、ソーダガラス、鉛ガラス等のガラス基板上、またはシリコン、セラミック等の基板上への絶縁層の製造方法に関し、特に電子放出素子回路基板上に用いる絶縁層の製造方法に関する。

## 【 0 0 0 2 】

【従来の技術】従来、基板上への絶縁膜の形成は、ガラスペーストを用いたスクリーン印刷法、CVD法(化学蒸着法)、LPD法(液相析出成膜法)、ソルゲル法を用いた各種コーティング等によって行っていた。

【 0 0 0 3 】印刷法は、市販のガラスペースト(例えば、株式会社ノリタケカンパニーリミテド製)をスクリーン印刷法等の手法により基板上に塗布し、500℃~600℃で焼成する事によって成膜する。形成された絶縁膜は厚さが20~50μm程度、比誘電率が10~30程度となる。

【 0 0 0 4 】CVD法では、真空装置を用いて基板を減圧下に置き、シラン系ガスの蒸着、またはアルゴン、ヘリウム、酸素等のキャリアーガス及び反応ガスによるシリコンの酸化により、厚さ1μm程度までのSiO<sub>2</sub>膜を形成する。

【 0 0 0 5 】LPD法では、ケイフッ化水素酸水溶液に

低温でSiO<sub>2</sub>を溶かして過飽和溶液とし、基板を該溶液に浸せきした状態で30~40℃程度に温め、基板上にSiO<sub>2</sub>を析出させる(温度法)か、アルミニウム・水・ほう酸を加えることにより化学平衡をずらせて、基板上にSiO<sub>2</sub>を析出させて成膜する。

【 0 0 0 6 】ソルゲル法では、市販のソルゲル液(例えば、日本曹達株式会社製のアトロン、東芝シリコン株式会社製のトスガード)、テトラエトキシシラン等のシラン化合物をエタノール等の適当な溶媒に溶かした調製品等をディップ、スプレーまたはスピンコーティング等の手法を用いて基板上に塗布し、300℃程度で焼成する事により成膜する。膜厚は1~3μmで、比誘電率は3~15程度となる。

【 0 0 0 7 】一方、このような絶縁膜を形成した回路用基板の用途として、表面伝導型電子放出素子を用いた画像形成装置がある。以下、表面伝導型電子放出素子について概説する。

【 0 0 0 8 】電子放出素子には、大別して熱電子放出素子と冷陰極電子放出素子の2種類が知られている。冷陰極電子放出素子には電界放出型(以下「FE型」という。)、金属/絶縁層/金属型(以下「MIM型」という。)、表面伝導型電子放出素子等がある。表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としてはM. I. Elinson等によるSnO<sub>2</sub>薄膜を用いたもの、Au薄膜によるもの(M. Hartwell and C. G. Fonstad., IEEE Trans. ED conf., 519 (1975))、カーボン薄膜によるもの(荒木久他、真空、第26巻、第1号、22項(1983))等がすでに知られている。

【 0 0 0 9 】これらの表面伝導型電子放出素子の典型的な素子構成として、前述のハートウエル(M. Hartwell)らの素子構成を図5に模式的に示す。同図において51は基板である。54は導電性薄膜で、H型形状のパターンにスパッタで形成された金属酸化物薄膜等からなり、通電フォーミングと呼ばれる通電処理等によって電子放出部55が形成される。尚、図中の素子電極52、53の間隔Lは0.5~1mm、またWは0.1mm程度に設定されている。

【 0 0 1 0 】これらの表面伝導型電子放出素子においては、電子放出を行う前に、導電性薄膜54にあらかじめ通電フォーミングと呼ばれる通電処理をして電子放出部55を形成するのが一般的である。すなわち通電フォーミングとは、導電性薄膜54の両端に直流電圧あるいは非常にゆっくりとした昇電圧、例えば1V/分程度を印加通電し、導電性薄膜を局所的に破壊、変形もしくは変質せしめ、電気的に高抵抗な状態にした電子放出部55を形成することである。尚、電子放出部55は導電性薄

膜 5 4 の一部に亀裂が発生しその亀裂付近から電子放出が行われる。前期通電フォーミング処理をした表面伝導型電子放出素子は、その導電性薄膜 5 4 に電圧を印加し、素子に電流を流すことにより、電子放出部 5 5 より電子を放出せしめるものである。

【 0 0 1 1 】 上述の表面伝導型電子放出素子は構造が単純で製造も容易であることから、大面積にわたり多数の素子を配列形成できる利点がある。そこでこの特徴を活かして、この素子の電子ビーム源、表示装置等への応用研究がなされている。

【 0 0 1 2 】 表面伝導型電子放出素子を用いた画像形成装置としては、例えば、特開平 2 - 2 9 9 1 3 6 号公報に開示されたものが挙げられる。

【 0 0 1 3 】

【発明が解決しようとする課題】 上記従来の絶縁膜の形成方法は、それぞれ以下に記すような課題を有している。すなわち、印刷法では、ガラスペーストを用いるため、膜厚が数十  $\mu\text{m}$  以上の厚いものしか形成されず、また PbO 等の成分が多いために比誘電率が大きくなり絶縁特性が悪くなるという欠点があった。

【 0 0 1 4 】 CVD 法では、真空装置を用い、高真空を必要とするため基板の大面積化が難しく、装置コストが高く、スループットが小さい、という欠点があった。

【 0 0 1 5 】 LPD 法では、成膜スピードが非常に遅く、膜の厚みに比例してスループットが小さくなるという欠点があった。また、SiO<sub>2</sub> 上にしか絶縁層を形成できないという欠点もあった。

【 0 0 1 6 】 ソルゲル法では、ディップ、スピン、スプレー等の手法でベタ膜を形成した後、フォトリソ・エッチング等の手法によってパターン形成するという工程を必要とし、製造コストが高くなるという欠点を有していた。

【 0 0 1 7 】 そこで本発明の目的は、絶縁特性の良好な絶縁膜を各種基板上の必要な場所に少ない工程数で容易に形成するのに好適な、絶縁膜の製造方法を提供することである。

【 0 0 1 8 】

【課題を解決するための手段】 上記目的は、以下の本発明によって達成することが出来る。すなわち、第 1 の本発明は、ソルゲル法により基板上に絶縁膜を形成する方法であって、( 1 ) 絶縁膜材料含有ゾルをインクジェットにより基板上に吐出する工程、及び ( 2 ) 該ゾルが付着した基板を焼成して、基板上に絶縁膜を形成する工程を含むことを特徴とする。

【 0 0 1 9 】 第 2 の発明は、前記吐出工程 ( 1 ) の前に、基板上に表面改質剤を塗布する工程 ( 0 ) を含み、次に前記工程 ( 1 ) において前記ゾルを該表面改質した基板上に吐出することを特徴とする、第 1 の発明に係る絶縁膜形成方法である。

【 0 0 2 0 】 第 3 の発明は、前記焼成工程 ( 2 ) におい

て、まず仮焼成を行い、次に該仮焼成の温度より高い温度で本焼成を行う第 1 又は第 2 発明に係る絶縁膜形成方法である。

【 0 0 2 1 】 第 4 の発明は、前記ゾルの粘度が 1 . 0 ~ 1 0 . 0 c p s の範囲に調整されている第 1 又は第 2 発明に係る絶縁膜形成方法である。

【 0 0 2 2 】 第 5 の発明は、前記表面改質剤がシランカップリング剤である第 2 の発明に係る絶縁膜形成方法である。

10 【 0 0 2 3 】 第 6 の発明は、前記絶縁膜の端部と前記基板との接触角が 9 0 度未満に制御される第 1 ~ 第 5 発明のいずれかに係る絶縁膜形成方法である。

【 0 0 2 4 】 第 7 の発明は、前記絶縁膜を、表面伝導型電子放出素子用または該素子を用いた画像形成装置用の層間絶縁膜として形成する第 1 ~ 第 6 発明のいずれかに係る絶縁膜形成方法である。

【 0 0 2 5 】

【発明の実施の形態】 以下、本発明を実施の形態を挙げて詳細に説明する。図 1 は、本発明の方法により基板上に形成された絶縁膜の断面 ( a ) 及び上面 ( b ) の模式図である。図 1 において、1 は基板、2 は絶縁層、3 はインクジェット装置のインク吐出部、 $\theta$  は絶縁層端部の基板との接触角である。

【 0 0 2 6 】 本発明に用いる基板 1 は、例えば、ケイ酸ガラス、ソーダ石灰ガラス、鉛ガラス、ホウケイ酸ガラス等のガラス基板、アルミナ等のセラミック基板、金属、あるいはシリコン等から適宜選択される。

【 0 0 2 7 】 本発明に係る絶縁層 2 は、絶縁層材料含有ゾルをインクとしてインクジェット装置に装填して、インク吐出部 3 より吐出し基板上に付着させた後、焼成工程を経て形成される。本発明に用いられる絶縁膜材料含有ゾルは、テトラエトキシシラン等のシラン化合物をエタノール等の適当な溶剤に溶かした調製品、または市販のソルゲル液 ( 日本曹達株式会社製のアトロン、東芝シリコーン株式会社製のトスガード、コルコート株式会社製の HAS - 1 0 ) 等の何れでも良い。また、アルミニウムのキレート塩、有機アルカリ金属塩または有機アルカリ土類金属塩等を含有する組成物で、焼成すると無機酸化物のみになるように調合したものでも良い ( 例 : 東レダウコーニング株式会社製の AY - 4 9 - 2 0 8 ) 。すなわち、焼成によって絶縁膜を形成するような液状の組成物が好ましく用いられる。

【 0 0 2 8 】 また、前述の絶縁膜材料含有ゾルはある程度の粘度を有していてもかまわないが、インクジェット装置の適性から 1 . 0 ~ 1 0 c p s 程度が好ましい。

【 0 0 2 9 】 本発明に用いるインクジェット装置としては、エネルギー発生素子として電気熱変換体を用いたバブルジェットタイプ、あるいは圧電素子を用いたピエゾジェットタイプ等が使用可能であり、吐出形成面積及び吐出形成パターンは任意に設定することができる。

【0030】また、絶縁層の端部と基板との接触角 $\theta$ は、90度より小さく制御することが望ましい。これは絶縁層上に配線を形成する際のステップカバレッジを良好なものとするためである。該接触角 $\theta$ を小さく制御するには、絶縁層材料含有ゾルを吐出する前に、基板をUVオゾン処理等により表面清浄化しておく必要がある。さらにその制御性を確実なものとする方法として、あらかじめ絶縁層材料含有ゾルを吐出する部分にシランカップリング剤を薄く塗布しておくが良い。

【0031】また、インクジェットによるゾルの吐出は、1回のみである必要はなく、重ね打ちを行っても良く、この方法は膜を厚く形成するのに有効である。

【0032】以上の様にして基板上に吐出した絶縁膜材料含有ゾルは次に焼成するが、この工程では、必要に応じて仮焼成を行った後、本焼成を行う。仮焼成の温度は通常、絶縁膜材料含有ゾルの有効成分（例えばシリコン化合物）の沸点以下、およそ60～200℃、より好ましくは60～100℃であれば、有効成分の揮発等が無いので望ましい。また本焼成は、シリコン化合物のアルコキシ基が脱離し、脱水反応が十分に進行する温度が望ましく、通常200℃以上、より好ましくは350℃以上で行う。

【0033】本発明の方法により、表面伝導型電子放出素子を用いた画像形成装置の層間絶縁層を形成する場合、緻密な絶縁膜を、省材料で少ない工程数で形成することが出来コスト的に有利である。

【0034】

【実施例】以下、本発明を実施例等によりさらに説明するが、本発明はこれらに限定されるものではない。

#### 実施例1

図2は本発明の一実施例に係るマトリックス配線基板形成工程の断面模式図である。

【0035】まず、図2(a)に示すようにA4版サイズで板厚2ミリのソーダ石灰ガラス21に、230 $\mu$ mおきに厚さ1 $\mu$ m、幅100 $\mu$ mで銀ペースト配線22を形成した。

【0036】配線22の上にはこれに直行する様に別の配線24を形成するが、その前に配線24が交差すべき配線22の位置（層間絶縁部分）に、インクジェット装置を用いて絶縁膜材料含有ゾルを吐出した。このゾルとして、粘度が3.5(cps)に調整されたゾルゲル液アトロン（日本曹達株式会社製）を用いた。その後140℃で15分間仮焼成を行い、さらに450℃で1時間本焼成を行い図2(b)の層間絶縁膜23を形成した。この膜厚は2 $\mu$ mで緻密な膜であった。また誘電率は4.3であり、SiO<sub>2</sub>に極めて近い膜が得られた。

【0037】続いて図2(c)に示すように、上部の配線として230 $\mu$ mおきに厚さ1 $\mu$ m、幅100 $\mu$ mで銀ペースト配線24を配線した。

【0038】本実施例では、層間絶縁膜23で絶縁され

たマトリックス配線回路基板を前述したような少ない簡便な工程で作成することが出来た。これらの配線間でのショート及び配線の断線等は観測されなかった。

#### 【0039】実施例2

実施例1と同様にして、図2(a)に示すようにA4版サイズで板厚2ミリのソーダ石灰ガラス21に、230 $\mu$ mおきに厚さ1 $\mu$ m、幅100 $\mu$ mで銀ペースト配線22を配線した。

【0040】次に配線22の上部に直交するよう後に配設される配線24との交差予定位置（層間絶縁部）に、インクジェット装置を用いて、粘度を5.0(cps)に調整したエチルシリケート40（コルコート株式会社製）を吐出し、その後140℃で15分間仮焼成を行い、さらに450℃で1時間本焼成を行い図2(b)に示す層間絶縁膜23を形成した。この時の膜厚は3 $\mu$ mで緻密な膜であった。また誘電率は4.5でありSiO<sub>2</sub>に極めて近い膜が得られた。

【0041】最後に図2(c)に示すように、上部の配線として230 $\mu$ mおきに厚さ1 $\mu$ m、幅100 $\mu$ mで銀ペースト配線24を配線し、層間絶縁膜23で絶縁されたマトリックス配線基板を前述したような少ない簡便な工程で作成することが出来た。これらの配線間でのショート及び配線の断線等は、実施例1と同様に観測されなかった。

#### 【0042】実施例3

図3は本発明の一実施例に係るマトリックス配線基板形成工程の断面模式図である。まず、図3(a)に示すようにA4版サイズで板厚2ミリのソーダ石灰ガラス31に、230 $\mu$ mおきに厚さ1 $\mu$ m、幅100 $\mu$ mで銀ペースト配線32を配線した。次にメタクリロキシを官能基に持つシランカップリング剤KBM502（信越化学工業株式会社製）をアルコールで10%に希釈し、これをスピナーで基板全面に薄くコートして下地表面改質膜33を形成した。

【0043】次に、配線32の上部に直交するよう配設される配線35との交差予定位置（層間絶縁部分）に、インクジェット装置を用いて、粘度が3.5(cps)に調整されたゾルゲル液アトロン（日本曹達株式会社製）を吐出し、その後140℃で15分間仮焼成を行い、さらに450℃で1時間本焼成を行い図3(b)の層間絶縁膜34を形成した。この層間絶縁膜34の端部の基板（シランカップリング剤）との接触角は60度から70度の範囲で制御されていた。絶縁膜34の厚さは2 $\mu$ mで緻密な膜であった。また誘電率は4.3でありSiO<sub>2</sub>に極めて近い膜が得られた。

【0044】最後に図3(c)に示すように、上部の配線として230 $\mu$ mおきに厚さ1 $\mu$ m、幅100 $\mu$ mで銀ペースト配線35を配線し、層間絶縁膜34で絶縁されたマトリックス配線基板を前述したような少ない簡便な工程で作成することが出来た。これらの配線間でのシ

ョート及び配線の断線等は観測されなかった。

#### 【0045】比較例1

図4は本発明に対する比較例に係るマトリックス配線基板形成工程の断面模式図である。先ず、図4(a)に示すようにA4版サイズで板厚2ミリのソーダ石灰ガラス41に、230 $\mu$ mおきに厚さ1 $\mu$ m、幅100 $\mu$ mで銀ペースト配線42を配線した。

【0046】次に図4(b)に示すようにポジ型レジストOMR-800(東京応化工業株式会社製)をスピナーコートし、80℃で30分間のプリバークを行った。次にマスク露光及び現像を行い余分なレジストを除去した後140℃30分のポストバークを行い、図4(c)に示すようなレジスト43を形成した。

【0047】次に粘度が5.5(cps)に調整されたゾルゲル液アトロン(日本曹達株式会社製)中に基板全体を10分間浸せし、引き上げ速度600mm/分で引き上げた(図4(d))。そして液のたれ落ちがなくなるまで十分に待った後、140℃で15分間仮焼成した。その後レジスト剥離液でレジスト43を剥離し、450℃で1時間本焼成を行い図4(e)に示すような層間絶縁膜44を形成した。この層間絶縁膜44の端部の基板との接触角は90度から100度と大きなものとなってしまった。また膜厚は2 $\mu$ m、誘電率は4.5であった。

【0048】最後に図4(f)に示すように、上部の配線として230 $\mu$ mおきに厚さ1 $\mu$ m、幅100 $\mu$ mで銀ペースト配線45を配線し、層間絶縁膜44で絶縁されたマトリックス配線基板を作成した。

【0049】このように、従来用いられていた手法は本発明の方法に比べて倍以上の工程を必要とする。また、本比較例の基板では、配線間でのショートはなかった

が、図4(f)の46で示すような上部配線の断線が数カ所観測された。

#### 【0050】

【発明の効果】以上の説明から明らかなように本発明の方法によれば、金属アルコキシド等によるゾルゲル剤をインクジェットを用いて基板に吐出し焼成することにより、緻密で、絶縁性の良好な絶縁膜を少ない工程で容易に形成することが出来、さらに形成面積及び形成パターンを容易に変更することが出来るという効果がある。

【0051】また本発明によれば、絶縁材を吐出形成する前に基板表面をシランカップリング剤等で改質しておくことにより、絶縁膜端部の基板との接触角を60度程度に抑えることが出来、その上部への配線形成の際ステップカバレッジが良好となり、配線の断線が起こらないという効果がある。

#### 【図面の簡単な説明】

【図1】 本発明の方法により基板上に形成した絶縁層の模式図である。

【図2】 本発明の絶縁層の製造方法を説明する断面模式図である。

【図3】 本発明の絶縁層の製造方法を説明する断面模式図である。

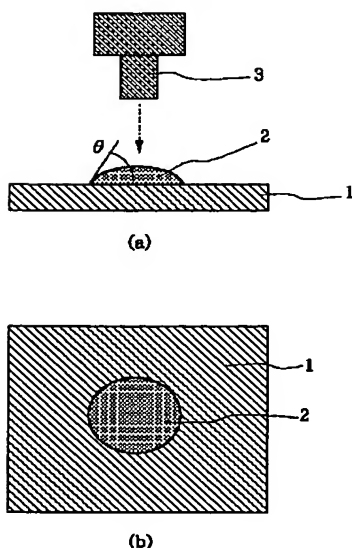
【図4】 比較例の絶縁層の製造方法を説明する断面模式図である。

【図5】 表面伝導型電子放出素子の平面図である。

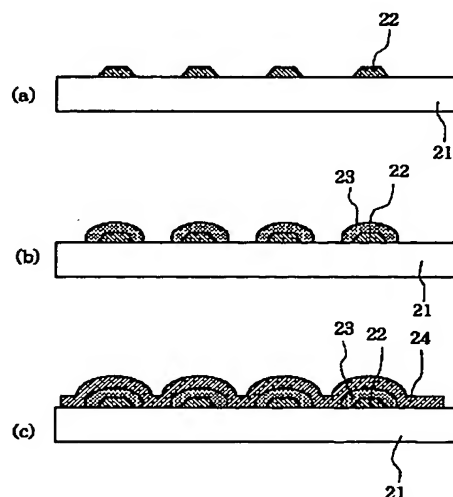
#### 【符号の説明】

1, 21, 31, 41, 51: 基板、2, 23, 34, 44: 絶縁膜、3: インクジェット装置、22, 24, 32, 35, 42, 45: 銀ペースト配線層、33: 表面改質膜、43: レジスト、46: 断線箇所、52, 53: 素子電極、54: 導電性薄膜、55: 電子放出部。

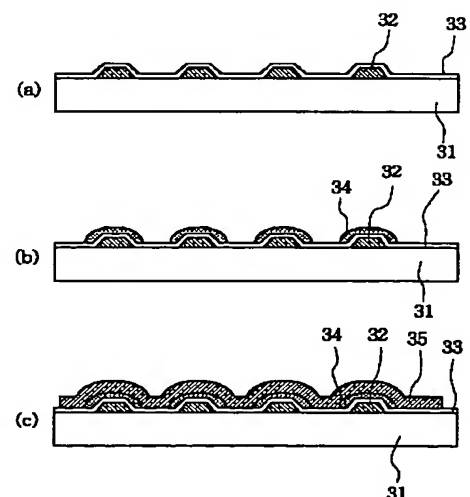
【図1】



【図2】



【図3】





【図 5】

